

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-174206

(43)Date of publication of application : 13.07.1993

(51)Int.Cl. G06K 19/07
G11C 19/00
H01L 27/04
H01L 27/115

(21)Application number : 03-354911

(71)Applicant : CASIO COMPUT CO LTD

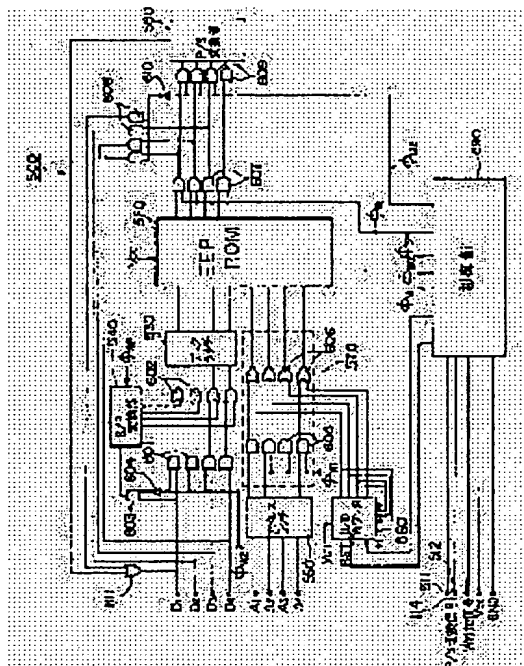
(22)Date of filing : 19.12.1991

(72)Inventor : HAYAKAWA TOMIHIRO

(54) INTEGRATED CIRCUIT STORAGE DEVICE

(57)Abstract:

PURPOSE: To install the device in both electronic apparatuses of an electronic apparatus for executing a parallel transfer and an electronic apparatus such as a wrist watch, etc., for executing a serial transfer.
CONSTITUTION: The integrated circuit storage device 200 is provided with an EEPROM 520, a serial/parallel converting part 540 for converting serial data to parallel data and outputting it, an up/down counter 560 for counting +1 each at the time of serial transfer and outputting it as address data, an address selector 570 for selecting and outputting an address, a parallel/serial converting part 580 for converting the parallel data into serial data and outputting it to an input/output terminal D1, and a control part 590 for outputting a control signal to each part and executing the control, and switches a parallel transfer and a serial transfer in accordance with a data transfer system of electronic apparatuses 100, 400 in which the integrated circuit storage device 200 is installed.



LEGAL STATUS

[Date of request for examination] 20.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3108947

[Date of registration] 14.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-174206

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 K 19/07

G 1 1 C 19/00

H 0 1 L 27/04

B 8724-5L

U 8427-4M

8623-5L

8831-4M

G 0 6 K 19/ 00

N

H 0 1 L 27/ 10

4 3 4

審査請求 未請求 請求項の数4(全10頁) 最終頁に続く

(21)出願番号

特願平3-354911

(22)出願日

平成3年(1991)12月19日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 早川 富博

東京都羽村市栄町3丁目2番1号 カシオ

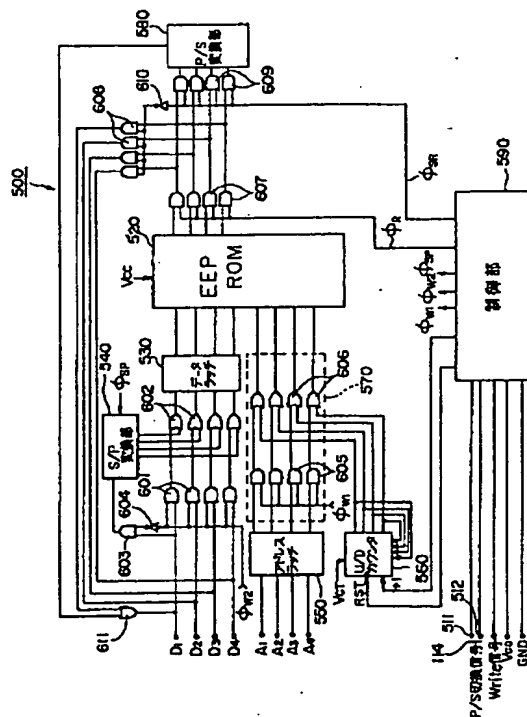
計算機株式会社羽村技術センター内

(54)【発明の名称】 集積回路記憶装置

(57)【要約】

【目的】 パラレル転送を行う電子機器及びシリアル転送を行う腕時計等の電子機器の何れの電子機器にも設置する。

【構成】 集積回路記憶装置200は、EEPROM520と、シリアルデータをパラレルデータに変換して出力するシリアル/パラレル変換部540と、シリアル転送時に+1ずつカウントしてアドレスデータとして出力するアップ/ダウンカウンタ560と、アドレスを選択して出力するアドレスセクタ570と、パラレルデータをシリアルデータに変換して入出力端子D1に出力するパラレル/シリアル変換部580と、各部に制御信号を出力して制御を行う制御部590を設け、集積回路記憶装置200が設置された電子機器100、400のデータ転送方式に従ってパラレル転送とシリアル転送を切り換える。



【特許請求の範囲】

【請求項 1】 複数のデータ入出力端子を有する集積回路記憶装置において、パラレルデータをシリアルデータに変換するパラレル・シリアル変換手段と、前記パラレル・シリアル変換手段を制御する信号を入力するパラレル・シリアル切換端子を設け、パラレル転送及びシリアル転送の両方を可能にしたことを特徴とする集積回路記憶装置。

【請求項 2】 前記パラレル・シリアル切換端子に入力される信号は、集積回路記憶装置を所定の電気機器に収納したとき、該電子機器のデータ転送方式に前記パラレル・シリアル変換手段によるパラレル・シリアル変換を一致させるように切換える切換信号であることを特徴とする請求項 1 記載の集積回路記憶装置。

【請求項 3】 前記集積回路記憶装置が、電子機器本体の集積回路記憶装置収納部に収納設置され、前記データ入出力端子を介して該電子機器との間でデータ転送を行うように構成されていることを特徴とする請求項 1 又は 2 記載の集積回路記憶装置。

【請求項 4】 前記集積回路記憶装置が、ICカードの集積回路記憶装置収納部に収納設置され、前記データ入出力端子は該ICカードの外部端子に接続され、該ICカードを取り付けた電子機器との間で該外部端子を介してデータ転送を行うように構成されていることを特徴とする請求項 1 又は 2 記載の集積回路記憶装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は、複数のデータ入出力端子を有する集積回路記憶装置に係り、詳細には小型電子機器本体の収納部に設置される集積回路記憶装置に関する。

【0002】

【従来の技術】 ICカードは、LSIチップを従来のカードに封入し使用するもので、用途に応じていろいろな方法が実現されている。ICカードは、広義には集積回路を含むカードすべてを指すが、一般的にはマイクロプロセッサとメモリ（メモリとして電気的消去・電気的書込み可能なEEPROMや紫外線消去・電気的書込み可能なEPROMが用いられる場合が多い）を含み、ISO準拠のものをいうことが多い。また、集積回路としてメモリだけを含む場合には、混同を避けるために、メモリカード（より具体的にはRAMカード、ROMカード、ROMカートリッジ等）と呼ばれる。従来から知られているICカードのような集積回路メモリ装置は寸法が例えば54×85mmと大きく、腕時計のような小型電子機器には適用できないので、小型の薄型円盤集積回路メモリ装置（ICメモリ装置）を開発して小型電子機器に適用することが考えられる。

【0003】

【発明が解決しようとする課題】 しかし、上記小型の薄

型円盤状集積回路記憶装置は特定の小型電子機器本体の収納部に設置される構成となっていたため、設置しようとする電子機器のインターフェイスが異なると、接続することができないという問題が生ずる。例えば、パラレル転送によりデータを入出力する薄型円盤集積回路をシリアル転送を行う小型電子機器に接続することはできない。この発明は、上記問題を解決するためになされたもので、設置しようとする電子機器の種類に拘らず電子機器本体と電気的に接続することのできる集積回路記憶装置を提供することを目的とする。

【0004】

【課題を解決するための手段】 この発明に係る集積回路記憶装置は、上記課題を達成するため、複数のデータ入出力端子を有する集積回路記憶装置において、パラレルデータをシリアルデータに変換するパラレル・シリアル変換手段と、前記パラレル・シリアル変換手段を制御する信号を入力するパラレル・シリアル切換端子を設け、パラレル転送及びシリアル転送の両方を可能にする構成とした。また、前記パラレル・シリアル切換端子に入力される信号は、集積回路記憶装置を所定の電気機器に収納したとき、該電子機器のデータ転送方式に前記パラレル・シリアル変換手段によるパラレル・シリアル変換を一致させるように切換える切換信号であってもよい。また、前記集積回路記憶装置が、電子機器本体の集積回路記憶装置収納部に収納設置され、前記データ入出力端子を介して該電子機器との間でデータ転送を行うように構成してもよい。さらに、前記集積回路記憶装置が、ICカードの集積回路記憶装置収納部に収納設置され、前記データ入出力端子は該ICカードの外部端子に接続され、該ICカードを取り付けた電子機器との間で該外部端子を介してデータ転送を行うように構成してもよい。

【0005】

【作用】 請求項 1 記載の発明では、集積回路記憶装置にパラレル・シリアル変換手段と、パラレル・シリアル切換端子を設けているので、パラレル転送とシリアル転送を切り換えてデータ入出力ができ、パラレル転送を行う電子機器（例えば、電子手帳）及びシリアル転送を行う腕時計等の電子機器の何れの電子機器にも設置することができる。また、請求項 2 記載の発明では、電子機器に集積回路記憶装置を収納したときにパラレル・シリアル切換端子に所定の切換信号が入力されるようにすれば、集積回路記憶装置のデータ転送方式を自動的に電子機器本体のデータ転送方式に一致させることができる。また、請求項 3、4 記載の発明では、集積回路記憶装置は例えばシリアル転送を行う腕時計本体に設置することができ、パラレル転送を行うICカードに設置することもできる。

【0006】

【実施例】 以下、この発明の実施例を、図面に基づいて説明する。図 1 はこの発明の実施例に係る電子機器の開

放斜視図、図2は集積回路記憶装置の縦断側面図である。この電子機器1は、電子機器本体100と、該電子機器本体100の本体ケース110中に収納される集積回路記憶装置200とを備え、この実施例の場合、腕時計として構成されている。そして、その集積回路記憶装置200の記憶データがシリアル転送により前記電子機器本体100に取込まれて該電子機器100の表示部(後述)に表示されるようになっている。

【0007】前記電子機器本体100は、本体ケース110と、該本体ケース110に支軸121を介して開閉可能に取り付けられた蓋体120とを具え、前記本体ケース110にはリストバンド130が取り付けられている。そして、前記本体ケース110の上側には前記蓋体120を嵌入させる凹状部111が形成され、該凹状部111の中央には集積回路装置収納部112が形成されている。

【0008】前記集積回路装置収納部112は例えば円形に形成され、その底部の円形外周上には放射状に入出力端子113、113、…及びパラレル・シリアル(P/S)切換端子114が配設されている。また、この収納部112の内周壁には前記集積回路記憶装置200の位置決めを行う位置決め部として係止突起115が形成されている。

【0009】一方、前記蓋体120は例えばその表側に液晶による表示部DPを有する時計として構成され、この蓋体120内にはその表側の表示部DPに時計表示を行わせたり前記集積回路記憶装置200からシリアル転送により転送された記憶データに基づく各種情報を表示させたりするマイクロコンピュータ等からなる電子回路(図示省略)が設置されている。

【0010】前記集積回路記憶装置200は、図2に示すように回路基板210と、該回路基板210に配設された電極220と、該回路基板210上の電極220に bumps 230を介して接合させた集積回路メモリチップ240と、接合部を保護する保護樹脂250と、該回路基板210上に接合された集積回路メモリチップ240を気密に封止するキャップ260とから構成されている。

【0011】より詳しく説明すると、前記回路基板210は絶縁板をベースとして、その外周縁に向かって放射状に電極220、220、…が設けられ、それら電極220は回路基板210を貫通して外部に達してデータ転送用の入出力端子となる電極220bが形成されている。そして、前記集積回路記憶装置200内の電極220a上に前記集積回路メモリチップ240が設置されている。この集積回路メモリチップ240の回路構成は図5にて後述する。

【0012】また、この集積回路記憶装置200の外周には、前記電子機器100の収納部112の位置決め部としての係合突起115と係合し得る位置決め部として

の被係合凹部201が形成されている。

【0013】この集積回路記憶装置200は、このように構成されていて、収納時には前記電子機器本体100の収納部112中に、被係合凹部201が係合突起114と係合して位置決めされた状態で収納されて、蓋体120が閉められた状態となる。

【0014】そして、その蓋体120の表側の前記表示部DPに常時は時計表示がなされていて、電子機器本体100の切換スイッチ(図示省略)の操作によって、その表示部に、集積回路記憶装置200から読出した記憶データの情報を映し出せるようになっている。

【0015】以上、前記集積回路記憶装置200をシリアル転送を行う腕時計として構成された電子機器1に適用した場合の例を示したが、この集積回路記憶装置200の集積回路メモリチップ240を図5に示す電子回路500により構成することによって機種異なる他の電子機器(例えば、ICカード)にも適用することができるようになる。

【0016】図3及び図4はこの発明の実施例に係る集積回路記憶装置200をICカード型アダプタ300に適用した例を示す図であり、図3はICカード型アダプタの分解斜視図、図4はICカードが使用される電子機器400の斜視図、図6は他のICカード型アダプタ600の分解斜視図である。

【0017】図3において、ICカード型アダプタ300は、集積回路記憶装置200を位置決めして収納する記憶装置ホルダー310と、この記憶装置ホルダー310を本体挿入後係止させる支持部材320、320と、パラレル転送用の多数の入出力ピン331、331、…が配列された入出力端子330を有する回路基板340と、表ケース350及び裏ケース360とを具え、この実施例の場合、メモリチップを脱着不能に密封する、所謂、ICカードと同形状、同寸法に構成されている。集積回路記憶装置200には後述するパラレルシリアル変換回路と、パラレル転送/シリアル転送を切り換えるパラレル・シリアル切換端子とが設けられていて、該集積回路記憶装置200が記憶装置ホルダー310に収納されてICカード型アダプタ300に適切に装着されたときは該集積回路記憶装置200から入出力されるデータはパラレル転送データとなる。つまり、前記集積回路記憶装置200がICカード型アダプタ300内に装着されたとき、そのICカード型アダプタ300は、通常のICカードと同じ機能を果たすものであり、集積回路記憶装置200が装着されたICカード型アダプタ300がパラレル転送を行う電子機器に装着されたときには集積回路記憶装置200の記憶データはパラレル転送で電子機器本体にデータ送受信されることになる。

【0018】より詳しく説明すると、前記記憶装置ホルダー310には、例えば円形の前記集積回路記憶装置200の外周を囲んで保持する半円形の収納部311、3

12が形成され、収納部311、312の先端にはこの記憶装置ホルダー310を支持部材320、320に挿入後その状態で係合させる係合突起311a、312aが形成されている。また、この記憶装置ホルダー310の一方の収納部311内周壁には前記集積回路記憶装置200の位置決めを行う位置決め部として係止突起313が形成されている。

【0019】また、前記支持部材320、320は、前記記憶装置ホルダー310を支持する支持部材として構成され、ICカード型アダプタ300内で2つの部材に分かれて構成されることによって記憶装置ホルダー310を本体に挿入したとき記憶装置ホルダー310内の支持部材320、320の端部320a、320aが前記記憶装置ホルダー310の係合突起311a、311aに係合して、該記憶装置ホルダー310を挿入した状態に係止し得る構造となっている。すなわち、前記集積回路記憶装置200を収納した記憶装置ホルダー310をICカード型アダプタ300に挿入すると記憶装置ホルダー310の係合突起311a、312aが支持部材320、320の奥内周壁に当接することになる。この状態で、記憶装置ホルダー310を奥方向に挿入すると、支持部材320、320は係合突起311a、312aの押圧を受けて外方向に広がり、更に奥方向に挿入すると記憶装置ホルダー310の係合突起311a、312aは支持部材320、320の端部320a、320aを越え、これによって320、320は元の位置に戻り該記憶装置ホルダー310はICカード型アダプタ300内に完全に係合される。

【0020】一方、前記回路基板340は、絶縁板をベースとして、その上側に集積回路記憶装置200の電極220bと対向する位置に放射状に電極341、341、…が設けられる一方、ICカード型アダプタ300の側面に入出力ピン331、331、…が配列された入出力端子330が設けられ、それら入出力端子330と電極341、341、…とを連携させる配線パターン342、342、…が形成されている。上記入出力ピン331、331、…が配列された入出力端子330はICカード型アダプタ300のコネクタ部となる。そして、この入出力端子330を介して接続された外部の電子機器との間でパラレル転送でデータの送受信が行われることになる。

【0021】また、ICカード型アダプタ300の側面となる前記支持部材320、320の外周部、この外周部と接触する前記回路基板340及び前記表ケース350、及び裏ケース360の所定位置には両面接着シート（図示省略）が介在され、これら部材はこの両面接着シートによって接着されてICカード型アダプタ300が構成される。

【0022】図4は上述のように構成されたICカード型アダプタ300が適用される小型電子機器（例えば、

電子手帳）400を示す図であり、この図に示すように電子機器400のカードスロット401から集積回路記憶装置200が装着された前記ICカード型アダプタ300を差し込むと、ICカード型アダプタ300内のメモリが電子機器400本体内部のマイクロコンピュータ等と電気的に接続されることになり、パラレル転送によりデータの送受信ができるようになる。

【0023】図5は前記集積回路記憶装置200のメモリチップ240の回路構成図である。図5において、500はメモリチップ240内の電子回路であり、この電子回路500には前記電子機器（腕時計等）100若しくは電子機器（電子手帳等）400とデータの送受信等を行う外部端子510が設けられている。前記外部端子510は、電子機器400との間でパラレル転送データが入出力されるデータ入出力端子D1～D4（但し、電子機器100に接続されたときは入出力端子D1のみがデータ入出力端子となる）、電子機器100、400からのアドレス信号が入力されるアドレス入力端子A1～A4、パラレル転送とシリアル転送とを切り換えるP/S切換信号が入力されるパラレル・シリアル切換端子511、512、書き込み信号（Write信号）が入力されるWrite信号、及び電源電圧Vcc、GNDが供給されるVcc端子、GND端子により構成される。

【0024】このうち、パラレル・シリアル切換端子511、512は、前記集積回路記憶装置200の電極220、220、…のうち隣り合う2つの電極に配線されており、例えば該集積回路記憶装置200がシリアル転送を行う電子機器100の集積回路装置収納部112に収納されたときには、これらパラレル・シリアル切換端子511、512に連通する集積回路記憶装置200の電極220、220が、前記電子機器100の収納部112上に配設された幅広のパラレル・シリアル切換端子114（前記図1参照）と相互に電気的に接触することになる。これによって、パラレル・シリアル切換端子511、512は接続されて導通状態となりシリアル転送を行う電子機器が収納されたことが判別できる。

【0025】前記電子回路500は、前記外部端子510と、電気的に書き込み・書換えが可能なEEPROM（erasable and electrically programmable ROM）520と、データ入出力端子D1～D4に入力されたデータをラッチするデータラッチ530と、入出力端子D1にシリアルデータが供給されたとき後述する制御部590からのシリアルパラレル制御信号φSRに従ってシリアルデータをパラレルデータに変換してデータラッチ530に出力するシリアル／パラレル変換部540と、アドレス入力端子A1～A4に入力されたアドレス信号をラッチするアドレスラッチ550と、シリアル転送時に+1ずつカウントしてこのタイミングで供給されたVCT電圧をアドレスデータとして出力するアップ／ダウンカウンタ560と、入力端子A1～A4から供給されたアドレス及び

アップ/ダウンカウンタ 560 で生成されたアドレスを選択して EEPROM 520 に出力するアドレスセクタ 570 と、シリアルデータ出力時（電子機器 100 が接続されているとき）に EEPROM 520 から読出されたパラレルデータをシリアルデータに変換して入出力端子 D1 に出力するパラレル/シリアル変換部 580

と、Write 信号及びパラレル・シリアル切換信号（パラレル・シリアル端子 511, 512 オン信号）等に基づいて各部に制御信号を出力してパラレル転送及びシリアル転送のデータ入出力制御を行う制御部 590 とにより構成されている。

【0026】より詳しく説明すると、前記制御部 590 からは、アドレスのアクセスをクロックに同期して行うためのクロック信号 $\phi W1$ 、データ書込みのためのタイミング信号となるクロック信号 $\phi W2$ 、データ読出しのタイミング信号となるクロック信号 ϕR 、シリアル転送のとき出力されシリアル/パラレル変換部 540 を動作させるシリアルパラレル制御信号 ϕSP 、シリアル転送のメモリ読出しのとき出力されパラレル/シリアル変換部 580 を動作させるシリアルリード制御信号 ϕSR 及びアップ/ダウンカウンタ 560 を制御する制御信号（リセット信号 RST、インクリメント信号）が出力される。また、データ入出力端子 D1~D4 から入力されたパラレルデータは AND ゲート 601, 601, … に入力され、AND ゲート 601, 601, … でクロック信号 $\phi W2$ と同期がとられて OR ゲート 602, 602, … に出力される。一方、シリアル転送時にはデータ入出力端子 D1 に入力されたシリアルデータは AND ゲート 603 に入力され、AND ゲート 603 でインバータ 604 を介して入力されたクロック信号 $\phi W2$ と同期がとられてシリアル/パラレル変換部 540 に入力される。シリアル/パラレル変換部 540 によりパラレルデータに変換されたデータは OR ゲート 602, 602, … を介してデータラッチ 530 に出力される。

【0027】また、アドレスラッチ 550 にラッチされたアドレスは AND ゲート 605, 605, … に入力され、AND ゲート 605, 605, … でクロック信号 $\phi W1$ と同期がとられて OR ゲート 606, 606, … に出力される。一方、シリアル転送時にはアップ/ダウンカウンタ 560 からのアドレスが OR ゲート 606, 606 を介して EEPROM 520 に入力される。上記 AND ゲート 605, 605, … 及び OR ゲート 606, 606, … はアドレスセクタ 570 を構成する。

【0028】また、EEPROM 520 のパラレルデータ出力は AND ゲート 607, 607, … に入力され、AND ゲート 607, 607, … でクロック信号 ϕR と同期がとられた後 AND ゲート 608, 608, … 及び入出力端子 D1~D4 を介して出力される。また、EEPROM 520 のパラレルデータ出力は、AND ゲート 609, 609, … を介してパラレル/シリアル変換部 5

80 に入力されており、シリアル転送時には AND ゲート 609, 609, … にシリアルリード制御信号 ϕSR が供給されこれら AND ゲート 609, 609, … を ON するとともに、AND ゲート 608, 608, … にインバータ 610 による反転信号を供給してこれら AND ゲート 608, 608, … を OFF させる。

【0029】また、シリアル転送時パラレル・シリアル変換部 580 でパラレル・シリアル変換されたシリアルデータは OR ゲート 611 及びシリアル転送時の入出力端子 D1 を通して出力される。

【0030】次に、本実施例の動作を説明する。まず、集積回路記憶装置 200 の電子回路 500 の動作を述べる。

パラレル転送時（集積回路記憶装置 200 を IC カード型アダプタ 300 に収納したとき）

アドレス入力端子 A1~A4 に入力されたアドレス信号をアドレスラッチ 550 でラッチしておく。この状態で、データ入出力端子 D1~D4 からパラレルデータが入力されるとパラレルデータは AND ゲート 601, 601 でクロック信号 $\phi W2$ と同期がとられた後、OR ゲート 602, 602, … を介してデータラッチ 530 に入力されここでラッチされる。

【0031】そして、アドレスラッチ 550 にラッチクロック信号 $\phi W1$ のタイミングで呼び出して OR ゲート 606, 606, … を介して EEPROM 520 に出力し、EEPROM 520 はこのアドレスのところに前記データラッチ 530 にラッチしたパラレルデータを書込んで記憶する。

【0032】また、読出し時は、アドレス入力端子 A1~A4 から EEPROM 520 にアドレス指定があると、アドレス指定されたデータは読出しのタイミングクロック信号 ϕR に従って EEPROM 520 から読出され、AND ゲート 608, 608, … 及び入出力端子 D1~D4 を介して出力される。また、このときシリアルリード信号 ϕSR は OFF であるからパラレル/シリアル変換部 580 にパラレルデータが送られることはない。

【0033】シリアル転送時（集積回路記憶装置 200 を電子機器 100 に収納したとき）

アドレス入力端子 A1~A4 に入力されたアドレス信号をアドレスラッチ 550 でラッチしておくとともに、アップ/ダウンカウンタ 560 に電圧 VCT が供給され、制御部 590 からの制御信号によりアドレスが順次 +1 インクリメントされる。このとき、書込みタイミングクロック $\phi W1$ は出力されない。また、データ入出力端子 D1 にシリアルデータが供給されると、このシリアルデータは AND ゲート 603 を通してシリアル/パラレル変換部 540 に入力される。シリアル/パラレル変換部 540 は制御部 590 から出力されるシリアルパラレル制御信号 ϕSR の出力タイミングに従って入力されたシリアルデータをパラレルデータに変換して OR ゲート 602, 6

02, ...を介してデータラッチ530に出力する。そして、EEPROM520は前記アップ/ダウンカウンタ560で作成された書き込みアドレスのところにパラレルデータに変換したデータを書き込んで記憶する。このとき、データ書き込みタイミングクロック $\phi W2$ はLowとなっている。

【0034】また、読出し時は、アドレス入力端子A1～A4からEEPROM520にアドレス指定があると、アドレス指定されたデータは読出しのタイミングクロック信号 ϕR に従ってEEPROM520から読出されるが、このときはシリアルリード信号 ϕSR がANDゲート609, 609, ...及びANDゲート608, 608, ...に出力されるから ϕSR が出力されるタイミング（すなわち、 ϕSR がONするタイミング）でパラレル/シリアル変換され、シリアル変換されたシリアルデータがORゲート611及びデータ入出力端子D1を介して出力される。このとき、ANDゲート608, 608, ...はOFFするのでパラレルデータが出力されることはない。

【0035】次に、集積回路記憶装置200を電子機器100, 400に取り付ける動作について説明する。図1に示すように、集積回路記憶装置200の下面にはパラレル転送に必要な入出力端子が電極220, 220, ...として設けられている。

【0036】この集積回路記憶装置200を、例えばパラレル転送を行う電子機器400のICカード型アダプタ300に記憶装置ホルダー310を介して完全に取付けると、集積回路記憶装置200の電極220, 220, ...と記憶装置ホルダー310の回路基板340上の電極341, 341, ...とが相互に接触してパラレル転送が可能となり、電子機器400と集積回路記憶装置200との間で4ビット並列処理が実現できる。

【0037】一方、この集積回路記憶装置200をシリアル転送を行う腕時計等の電子機器100の収納部112に位置合わせをして収納すると、該収納部112にはシリアル転送に必要な入出力端子113, 113, ...及びシリアルパラレル切換端子114のみが配設されているので、それら端子113, 113, ..., 114のみが集積回路記憶装置200の電極220, 220, ...と接続されることになり、電子機器100と集積回路記憶装置200との間でシリアル転送が可能となる。

【0038】以上説明したように、この実施例に係る集積回路記憶装置200は、EEPROM520と、入出力端子D1にシリアルデータが供給されたとき後述する制御部590からのシリアルパラレル制御信号 ϕSR に従ってシリアルデータをパラレルデータに変換してデータラッチ530に出力するシリアル/パラレル変換部540と、シリアル転送時に+1ずつカウントしてこのタイミングで供給されたVCT電圧をアドレスデータとして出力するアップ/ダウンカウンタ560と、入力端子A1

～A4から供給されたアドレス及びアップ/ダウンカウンタ560で生成されたアドレスを選択してEEPROM520に出力するアドレスセクタ570と、EEPROM520から読出されたパラレルデータをシリアルデータに変換して入出力端子D1に出力するパラレル/シリアル変換部580と、Write信号及びパラレル・シリアル切換信号（パラレル・シリアル端子511, 512オン信号）等に基づいて各部に制御信号を出力してパラレル転送及びシリアル転送のデータ入出力制御を行う制御部590を設け、集積回路記憶装置200が設置された電子機器100, 400のデータ転送方式に従ってパラレル転送とシリアル転送を切り換えるようにしているので、パラレル転送を行う電子機器400に挿入されるICカード型アダプタ300及びシリアル転送を行う腕時計等の電子機器100の何れの電子機器にも設置することができる。この場合、集積回路記憶装置200を電子機器の収納部に収納するだけで、パラレル・シリアル切換端子511, 512に切換信号が入力されるようになるので、集積回路記憶装置200を自動的に電子機器100, 400本体のデータ転送方式に一致させることができる。この結果、集積回路記憶装置200を交換するようにすれば、集積回路記憶装置200内のEEPROM520に記憶されたデータの電子機器100, 400相互の使用が可能になり、例えば集積回路記憶装置200に記憶されるデータをデータ入力し易い電子機器で入力し、後で腕時計等の電子機器100に用いることもできる。

【0039】上記実施例では、集積回路記憶装置200を記憶装置ホルダー310に保持した後、該記憶装置ホルダー310に保持された集積回路記憶装置200をICカード型アダプタ300内に挿入・係合させるようにしているが、集積回路記憶装置200がICカード型アダプタ300内に適切に収納されるものであればどのようなものでもよい。例えば、前記図3の記憶装置ホルダー310及び支持部材320, 320に代えて、図6に示すようにICカード600に、集積回路記憶装置200が隙なく収納される支持部材610を設け、集積回路記憶装置200を該支持部材610に位置決め部として形成された係止突起615で位置決めしながら収納し、その後ケース620の蓋体630をねじ止めて集積回路記憶装置200をICカード600内に設置するようにしてもよい。このようにすればICカード600に設置した集積回路記憶装置200の交換が容易になるという利点がある。

【0040】なお、上記実施例では電子機器1を腕時計、電子機器400を電子手帳としたがどのような種類の電子機器に適用してもよい。

【0041】また、上記実施例では集積回路記憶装置200のメモリ部をEEPROMとしているが、これに限らずEPROM、マスクROM、RAM等にしてもよい。

ことは言うまでもない。

【0042】また、上記集積回路記憶装置200を構成する回路やゲートの種類、数などは上記実施例に限らないことは勿論である。例えば、アップ/ダウンカウンタ500に代えてアップカウンタ又はダウンカウンタでもよい。

【0043】また、上記実施例ではパラレル転送を4ビットで行うことによって4ビット並列処理を行うようにしているが、JEIDA（日本電子工業振興協会）の規格に合わせて8ビット又は16ビット並列処理としてもよい。

【0044】また、シリアルデータ用端子はパラレルデータ用端子と別体に設けてもよいことはいふまでもない。

【0045】また、上記実施例ではパラレル・シリアル切換をパラレル・シリアル切換端子511、512に接触する電極の有無により行っているが、パラレル・シリアル切換は、電子機器からの制御信号で行うようにしてもよい。

【0046】

【発明の効果】請求項1記載の発明によれば、パラレル・シリアル変換手段と、パラレル・シリアル切換端子を設けているので、パラレル転送とシリアル転送を切換えてデータ入出力ができ、パラレル転送を行う電子機器（例えば、電子手帳）及びシリアル転送を行う腕時計等の電子機器の何れの電子機器にも設置することができる。

【0047】また、請求項2記載の発明によれば、集積回路記憶装置を設定したときに自動的に電子機器本体のデータ転送方式に一致させることができる。

【0048】また、請求項3または4記載の発明によれば、集積回路記憶装置をシリアル転送を行う腕時計本体に設置することができ、パラレル転送を行うICカードに設置することができる。

【図面の簡単な説明】

【図1】この発明の実施例に係る集積回路記憶装置と該

集積回路記憶装置を装着する電子機器の斜視図である。

【図2】図1に示された集積回路記憶装置の縦断側面図である。

【図3】図1の集積回路記憶装置が着脱可能なICカード型アダプタの分解斜視図である。

【図4】図3のICカード型アダプタおよび該ICカード型アダプタが挿入される電子機器の斜視図である。

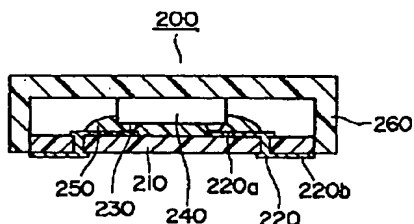
【図5】図2に示された集積回路記憶装置を構成するメモリチップが内蔵する回路図である。

【図6】同ICカードの分解斜視図である。

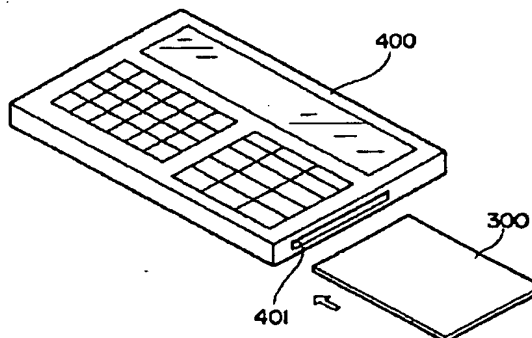
【符号の説明】

- 1 電子機器
- 100, 400 電子機器本体
- 110 本体ケース
- 112 集積回路記憶装置収納部
- 113 入出力端子
- 114 パラレル・シリアル切換端子
- 115 係止突起
- 200 集積回路記憶装置
- 201 被係合凹部
- 300, 600 ICカード型アダプタ
- 310 記憶装置ホルダー
- 313 係止突起
- 320 支持部材
- 500 電子回路
- 510 外部端子
- 511, 512 パラレル・シリアル切換端子
- 520 EEPROM
- 530 データラッチ
- 540 シリアル/パラレル変換部
- 550 アドレスラッチ
- 560 アップ/ダウンカウンタ
- 570 アドレスセクタ
- 580 パラレル/シリアル変換部
- 590 制御部

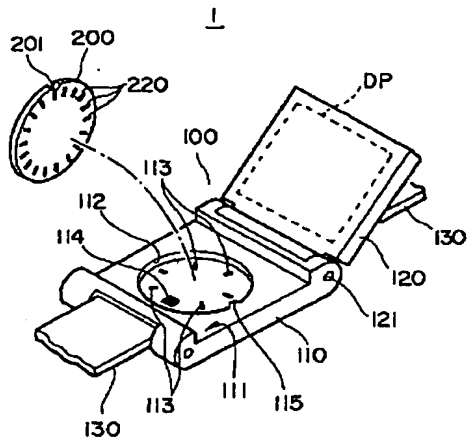
【図2】



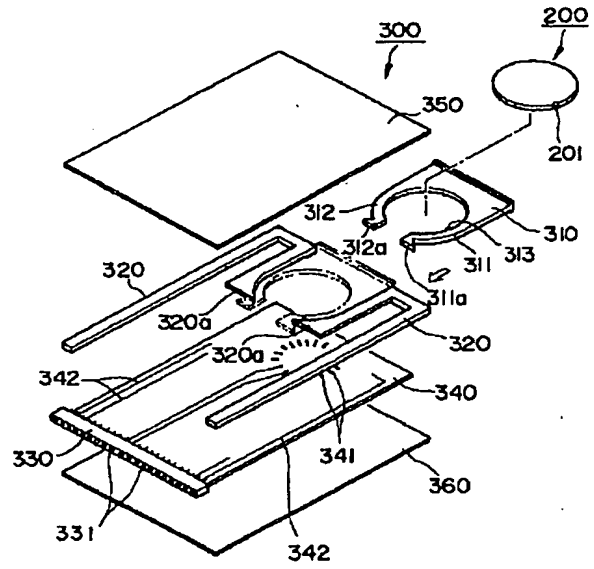
【図4】



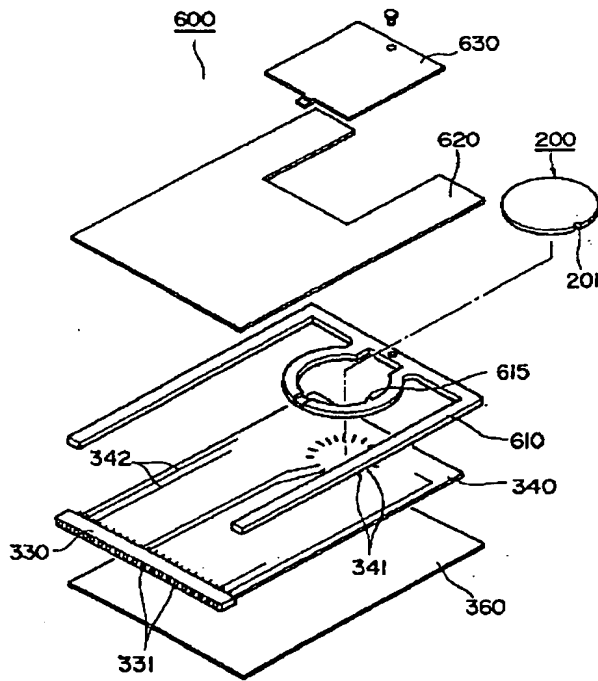
【図 1】



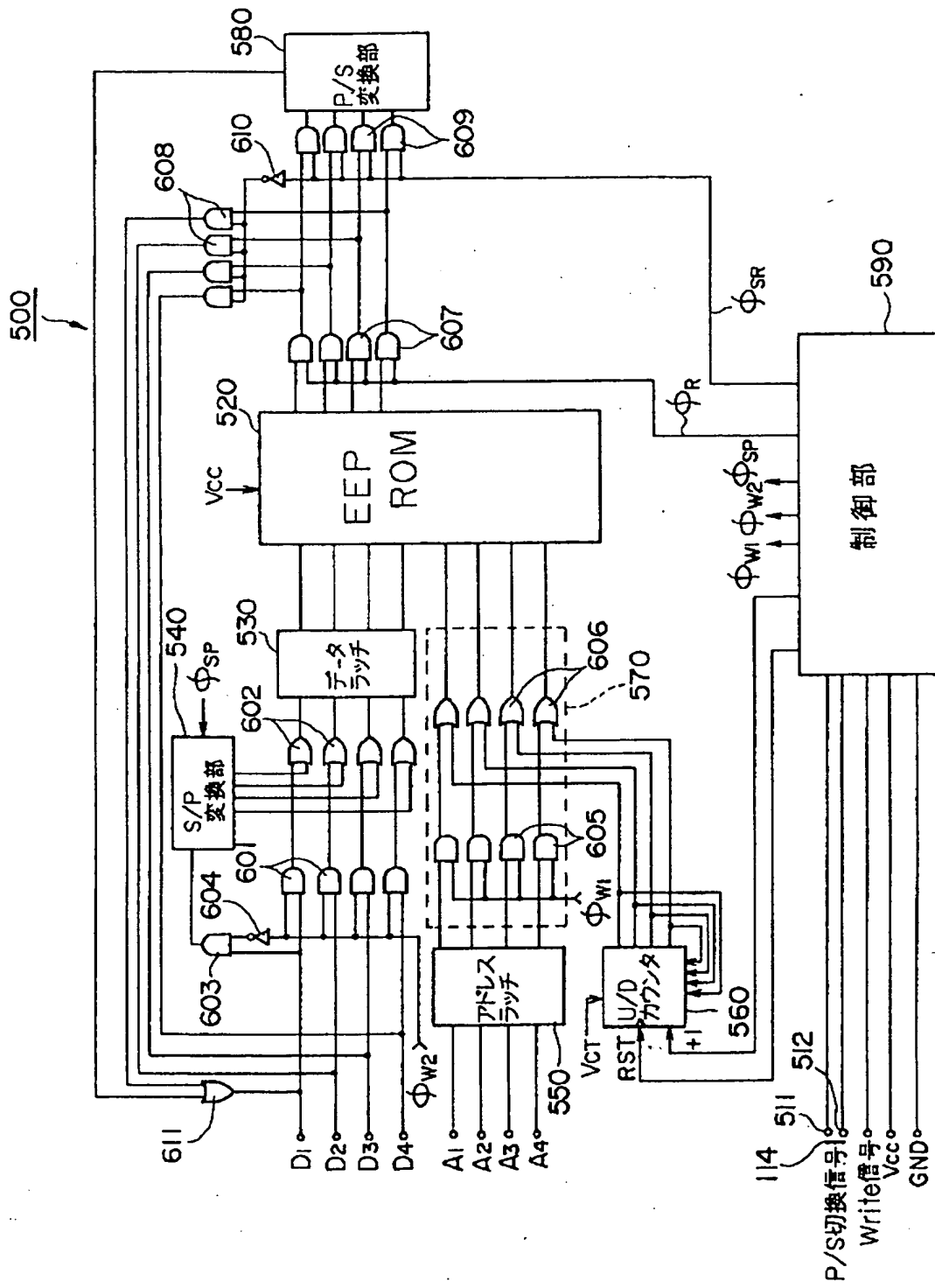
【図 3】



【図 6】



【図5】



フロントページの続き

(51)Int.Cl.⁵

H01L 27/115

識別記号

序内整理番号

F I

技術表示箇所